

# SEMICONDUCTOR DEVICE

Patent number: JP11040755

Publication date: 1999-02-12

Inventor: MORIKAWA YOSHINAO

Applicant: SHARP KK

Classification:

- international: **H01L23/522; H01L23/538; H01L27/02;  
H01L23/52; H01L27/02; (IPC1-7):  
H01L27/04; H01L21/3205; H01L21/82;  
H01L21/822**

- european: H01L23/522C; H01L23/538G; H01L27/02B

Application number: JP19970192939 19970717

Priority number(s): JP19970192939 19970717

Also published as:

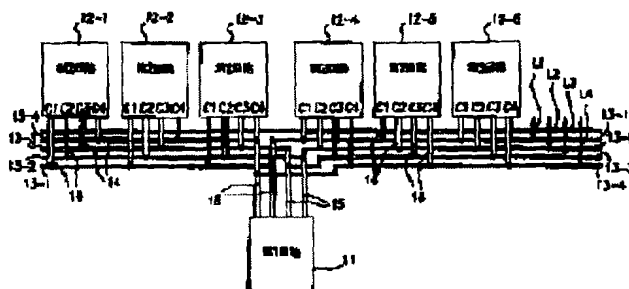
 US6150877 (A1)

Report a data error here

## Abstract of JP11040755

**PROBLEM TO BE SOLVED:** To provide a semiconductor device which can speed up a circuit operation and which can make the dispersion of delay time generated in plural circuits uniform.

**SOLUTION:** On the left side of a circuit 11, respective second wirings 14 derived from the output terminals C1 of respective second circuits 12-1, 12-2 and 12-3 are the longest. On the right side of the circuit 11, the respective second wirings 14 derived from the output terminals C1 of second circuits 12-4, 12-5 and 12-6 are the shortest. On the left side of the circuit 11, the second wirings 14 derived from the output terminals C2 of the second circuits are the shortest. On the right side of the circuit 11, the second wirings 14 derived from the output terminals C2 of the second circuits are the longest. On the left and right sides of the circuit 11, the lengths of the respective second wirings 14 derived from the output terminals C3 of the second circuits and the length of the second wirings 14 derived from the output terminals C3 of the second circuits are mutually exchanged.



Data supplied from the **esp@cenet** database - Worldwide



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3287391号  
(P3287391)

(45) 発行日 平成14年6月4日(2002.6.4)

(24) 登録日 平成14年3月15日(2002.3.15)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

H 0 1 L 21/822  
21/3205  
21/82  
27/04

H 0 1 L 27/04 D  
21/82 W  
21/88 Z

請求項の数7(全 8 頁)

(21) 出願番号 特願平9-192939  
(22) 出願日 平成9年7月17日(1997.7.17)  
(65) 公開番号 特開平11-40755  
(43) 公開日 平成11年2月12日(1999.2.12)  
審査請求日 平成12年7月14日(2000.7.14)

(73) 特許権者 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(72) 発明者 森川 佳直  
大阪府大阪市阿倍野区長池町22番22号  
シャープ株式会社内  
(74) 代理人 100078282  
弁理士 山本 秀策

審査官 大嶋 洋一

(56) 参考文献 特開 平2-244670 (J P, A)  
特開 平6-188667 (J P, A)

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】 それぞれが同じ方向に沿った状態で配列された複数の第1配線と、各第1配線それぞれと接続される複数の端子をそれぞれ有する複数の回路と、各回路に設けられたそれぞれの端子と各第1配線それぞれとを接続するように各回路毎にそれぞれ複数設けられた第2配線とを備え、

各第1配線に接続された全ての第2配線の全体の長さが、それぞれ、相互に一致するようにされるとともに、各第1配線それぞれの前記所定方向に沿った長さが、それぞれ相互に一致した状態になっていることを特徴とする半導体装置。

【請求項2】 第1配線に接続されている各第2配線の長さは、それぞれ、各第1配線の長さよりも短くなっている請求項1に記載の半導体装置。

【請求項3】 各第1配線は、それぞれ二つの部分に分割されており、各第1配線における分割された一方の部分の配列順序が、他方の部分の配列順序と異なっている請求項1又は2に記載の半導体装置。

【請求項4】 それぞれが同じ方向に沿った状態で配列された複数の第1配線と、各第1配線それぞれと接続される複数の端子をそれぞれ有する複数の回路と、各回路に設けられたそれぞれの端子と各第1配線それぞれとを接続するように各回路毎にそれぞれ複数設けられた第2配線とを備え、

各第1配線は、第1導電層をパターニングすることによって形成され、各第2配線は、第1導電層とは絶縁層を介して積層された第2導電層によって形成されており、各第1配線に接続された全ての第2配線の全体の長さが、それぞれ、相互に一致するようにされるとともに、

各第1配線それぞれの前記所定方向に沿った長さが、それぞれ相互に一致した状態になっていることを特徴とする半導体装置。

【請求項5】 それぞれが同じ方向に沿った状態で配列された複数の第1配線と、各第1配線それぞれと接続される複数の端子をそれぞれ有する複数の回路と、各回路に設けられたそれぞれの端子と各第1配線それぞれとを接続するように各回路毎にそれぞれ複数設けられた第2配線とを備え、

各回路のそれぞれの端子と各第1配線とを接続する全ての第2配線の全体の長さが、それぞれ、相互に一致するように設けられていることを特徴とする半導体装置。

【請求項6】 各第1配線は、それぞれ二つの部分に分割されており、各第1配線における分割された一方の部分の配列順序が、他方の部分の配列順序と異なっている請求項4又は5に記載の半導体装置。

【請求項7】 1チップの集積回路からなる請求項6に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、複数の回路を相互に接続してなる半導体装置に関する。

【0002】

【従来の技術】例えば、図3に示す回路においては、第1インバータ101から第2インバータ102へと信号を伝達しており、第1インバータ101にとっては、第2インバータ102が負荷となり、第2インバータ102にとっては、第1インバータ101がドライバとなる。また、両者のインバータ101、102間には、抵抗103と寄生容量104が存在する。これらの抵抗103と寄生容量104は、2つのインバータ101、102を接続するときに必然的に生じるものである。

【0003】図4は、これらインバータ101、102の入出力を示すタイミングチャートである。このタイミングチャートから明らかな様に、信号111が第1インバータ101に入力されると、ここから信号112が出力され、遅延時間T1後には、信号113が第2インバータ102に入力され、この第2インバータ102から信号114が出力される。遅延時間T1は、この回路全体の遅延を示す。ここでは、インバータの入出力が最大レベルの50パーセントまで立ち上がった時点又は立ち下がった時点を基準にして、遅延時間を定めている。

【0004】このような遅延時間は、先の抵抗103と寄生容量104等に応じて定まる。これらの抵抗103と寄生容量104は、出力トランジスタのオン抵抗、配線の抵抗及び寄生容量、入力トランジスタの入力容量等からなる。ここで、抵抗103の抵抗値をRとし、寄生容量104の容量をCとすると、遅延時間Tは、次式

(1)で表される。

$$T = C \cdot R \quad \cdots (1)$$

更に、抵抗103の抵抗値Rと寄生容量104の容量Cの殆どが各インバータ101、102間の配線に起因するならば、この配線の長さをLとし、この配線の単位長さ当たりの抵抗をR0とし、この配線の単位長さ当たりの容量をC0としたときに、遅延時間Tを次式(2)で表すことができる。

$$T = L R_0 \cdot L C_0 = L^2 \cdot R_0 \cdot C_0 \quad \cdots (2)$$

この式(2)からも明らかな様に、配線の遅延時間Tは、この配線に直列に接続される抵抗Rと、この配線に並列に接続される容量Cの影響を受けており、この配線の単位長さ当たりの抵抗R0や容量C0が変化しなければ、配線の長さLが長くなる程、遅延時間Tが増大する。

【0005】このような配線の長さを原因とする遅延時間の増大が例えば多段の回路を組み合わせてなるLSIに発生した場合は、各段毎に、遅延時間が積算されるので、回路全体の総遅延時間が非常に長くなり、回路動作の高速化を妨げていた。

【0006】

【発明が解決しようとする課題】上述した様に、LSI等の半導体装置においては、配線の遅延時間の増大を無視することができず、この配線の遅延時間の低減を図る必要があった。このため、従来は、配線を低抵抗化すべく、配線材質を低抵抗化したり、多層配線を採用して、配線の引き回しを極力避け、配線を短くしていた。しかしながら、これらの方法を採用した場合は、半導体装置のコストの上昇を招くので、必ずしも好ましくはない。

【0007】一方、図5に示す様な回路パターンの場合には、遅延時間の増大だけでなく、遅延時間のバラツキが問題となる。ここでは、第1回路121と、複数の第2回路122-1、122-2、…と、複数の第1配線123と、各第2回路122-1、122-2、…毎に、第2回路を各第1配線123に接続する各第2配線124と、第1回路121を各第1配線123に接続する各第2配線125を備えている。各第1配線123と各第2配線124、125は、相互に異なるそれぞれの配線層をパターンニングすることによって形成され、絶縁層に形成されたそれぞれのコンタクトホールを通じて相互に接続されている。また、各第1配線123の方が各第2配線124、125よりも、単位長さ当たりの配線抵抗及び寄生容量が小さいものとする。

【0008】このような構成において、各第2回路122-1、122-2、…のうちのいずれか1つのみが第1回路121との間でデータを授受することができる。例えば、図6に示す様に第2回路122-1と第1回路121間で、データを授受するときには、第2回路122-1の出力端子C1から第1回路121へと至る配線経路K1が形成される。この配線経路K1には、この配線経路K1の配線抵抗及び寄生容量が少なくとも生じる。ま

た、この配線経路K1には、他の各第2回路122-2, …の第2配線124が接続されているので、これらの第2配線124の寄生容量が該配線経路K1に付加される。同様に、他の各第2回路122-2, …のいずれを第1回路121に接続する場合でも、第2回路の出力端子から第1回路121に至るまでの配線経路には、この配線経路自体の配線抵抗及び寄生容量だけでなく、この配線経路に接続されている他の各第2回路の第2配線124の寄生容量が発生する。

【0009】ここで、先に述べた様に第2配線124, 125は、第1配線121よりも単位長さ当たりの配線抵抗及び寄生容量が大きいので、第1回路121と第2回路間の配線経路に接続される各第2配線124, 125の全体の長さが変動すると、これに伴って遅延時間も変動してしまう。

【0010】図5に示す回路構成においては、各第2回路122-1, 122-2, …は、各第1配線123に対して同様の各離間距離を保っており、各第2回路122-1, 122-2, …の出力端子C1と第1配線123を接続するそれぞれの第2配線124が最も短く、各第2回路122-1, 122-2, …の出力端子C2と第1配線123を接続する各第2配線124がやや長く、各第2回路の出力端子C3の第2配線124が更に長く、各第2回路の出力端子C4の第2配線124が最も長くなる。したがって、各第1配線123毎に、第1

$$T_{A1c1} = mK1 \cdot R_{0m} \cdot m \cdot C_{0m} + LK1 \cdot R_{0L} \cdot (LK1 + L1 \cdot 5) \cdot C_{0L} \cdots (3)$$

同様に、第2回路122-1の各出力端子C2, C3, C4から第1回路121に至る各配線経路K2, K3, K4を形成したときには、それぞれの遅延時間 $T_{A1c2}$ ,  $T_{A1c3}$ ,  $T_{A1c4}$ は、次式(4)、(5)及び(6)によって表される。

$$T_{A1c2} = mK1 \cdot R_{0m} \cdot m \cdot C_{0m} + LK1 \cdot R_{0L} \cdot (LK1 + L2 \cdot 5) \cdot C_{0L} \cdots (4)$$

$$T_{A1c3} = mK1 \cdot R_{0m} \cdot m \cdot C_{0m} + LK1 \cdot R_{0L} \cdot (LK1 + L3 \cdot 5) \cdot C_{0L} \cdots (5)$$

$$T_{A1c4} = mK1 \cdot R_{0m} \cdot m \cdot C_{0m} + LK1 \cdot R_{0L} \cdot (LK1 + L4 \cdot 5) \cdot C_{0L} \cdots (6)$$

ここで、上記各式(3)、(4)、(5)及び(6)を比較すると、これらの遅延時間 $T_{A1c1}$ ,  $T_{A1c2}$ ,  $T_{A1c3}$ ,  $T_{A1c4}$ の相異は、第2回路122-1の各出力端子C1, C2, C3, C4から導出されているそれぞれの第2配線124の長さ $L1$ ,  $L2$ ,  $L3$ ,  $L4$ に依存しており、 $L1 < L2 < L3 < L4$ の関係にあるから、 $T_{A1c1} < T_{A1c2} < T_{A1c3} < T_{A1c4}$ となる。

【0013】この様に第2回路122-1の各出力端子C1, C2, C3, C4のいずれを通じてデータを授受するかにより、配線経路に接続される各第2配線124の全体の長さが変動し、遅延時間も変動する。このことは、他の各第2回路122-2, …のいずれについても言え、出力端子C4から導出されている第2配線124が最も長いので、この第2配線124を通じてデータを授

配線123に接続される各第2配線124の長さが異なり、各第1配線123のいずれを通じて配線経路が形成されるかによって、配線経路に接続される各第2配線124の全体の長さが変動し、遅延時間も変動する。

【0011】このような配線経路に接続される各第2配線124の全体の長さと遅延時間の変動を上式(2)に基づいて求めると、次の通りである。

【0012】いま、第2回路122-1の出力端子C1から第1回路121に至る配線経路K1を形成したときに、第1配線123の全長を $m$ とし、配線経路K1に含まれる第1配線123の部分の長さを $mK1$ とし、第1配線123の単位長さ当たりの抵抗を $R_{0m}$ とし、第1配線123の単位長さ当たりの容量を $C_{0m}$ とすると、この第1配線123の部分による遅延時間は、 $mK1 \cdot R_{0m} \cdot m \cdot C_{0m}$ となる。また、配線経路K1に含まれる第2配線124, 125の長さを $LK1$ (=第2配線124の長さ $L1$ +第2配線125の長さ $L5$ )とし、この配線経路K1に接続されている他の各第2回路122-2, …の第2配線124の長さを $L1 \cdot 5$ とし、第2配線124, 125の単位長さ当たりの抵抗を $R_{0L}$ とし、第2配線124, 125の単位長さ当たりの容量 $C_{0L}$ とすると、これらの第2配線124, 125による遅延時間は、 $LK1 \cdot R_{0L} \cdot (LK1 + L1 \cdot 5) \cdot C_{0L}$ となる。したがって、この配線経路Kの全体の遅延時間 $T_{A1c1}$ は、次式(3)によって表される。

受するときに、遅延時間が最大になる。

【0014】この最大の遅延時間を短くするには、出力端子C4から導出されている第2配線124を第2回路により近い第1配線123に接続すれば良いが、この第2配線124に代わって、他の出力端子C4から導出されている第2配線124をより遠い第1配線123に接続せねばならないので、回路全体から見れば、遅延時間の改善にはならない。この様な遅延時間の積み重ねがLSI等の回路動作の高速化を妨げていた。また、各遅延時間 $T_{A1c1}$ ,  $T_{A1c2}$ ,  $T_{A1c3}$ ,  $T_{A1c4}$ のバラツキは、回路の安定動作と言う点からも好ましくなかった。

【0015】そこで、この発明の課題は、上記従来の課題を解決するものであって、回路動作の高速化と、複数の回路間で生じる各遅延時間のバラツキを均一化を図る

ことが可能な半導体装置を提供することにある。

【0016】

【課題を解決するための手段】本発明の半導体装置は、それぞれが同じ方向に沿った状態で配列された複数の第1配線と、各第1配線それぞれと接続される複数の端子をそれぞれ有する複数の回路と、各回路に設けられたそれぞれの端子と各第1配線それぞれとを接続するように各回路毎にそれぞれ複数設けられた第2配線とを備え、各第1配線に接続された全ての第2配線の全体の長さが、それぞれ、相互に一致するようにされるとともに、各第1配線それぞれの前記所定方向に沿った長さが、それぞれ相互に一致した状態になっていることを特徴とする。

【0017】この様な構成によれば、各第1配線間で、第1配線に接続されている各第2配線の全体の長さが相互に略一致しているので、各第1配線のいずれを通じてデータを伝送するにしても、第1配線に対する各第2配線の影響、つまり各第2配線の寄生容量による影響に変動がなく、遅延時間が変動せずに済む。

【0018】第1配線に接続されている各第2配線の長さは、それぞれ、各第1配線の長さよりも短くなっているもよい。

【0019】各第1配線は、それぞれ二つの部分に分割されており、各第1配線における分割された一方の部分の配列順序が、他方の部分の配列順序と異なっているもよい。

【0020】この様に各第1配線の配列を途中で切り換えると、各回路毎に、回路と第1配線間の距離を変えることができ、これに伴い、回路と第1配線を接続する第2配線の長さが変わる。したがって、各第1配線の配列を適宜に切り換えて、各回路毎に、回路と各第1配線を接続するそれぞれの第2配線の長さを調節することができ、これによって各第1配線間で、第1配線に接続されている各第2配線の全体の長さを相互に略一致させることができる。

【0021】また、本発明の半導体装置は、それぞれが同じ方向に沿った状態で配列された複数の第1配線と、各第1配線それぞれと接続される複数の端子をそれぞれ有する複数の回路と、各回路に設けられたそれぞれの端子と各第1配線それぞれとを接続するように各回路毎にそれぞれ複数設けられた第2配線とを備え、各第1配線は、第1導電層をパターンニングすることによって形成され、各第2配線は、第1導電層とは絶縁層を介して積層された第2導電層によって形成されており、各第1配線に接続された全ての第2配線の全体の長さが、それぞれ、相互に一致するようにされるとともに、各第1配線それぞれの前記所定方向に沿った長さが、それぞれ相互に一致した状態になっていることを特徴とする。

【0022】さらに、本発明の半導体装置は、それぞれが同じ方向に沿った状態で配列された複数の第1配線

と、各第1配線それぞれと接続される複数の端子をそれぞれ有する複数の回路と、各回路に設けられたそれぞれの端子と各第1配線それぞれとを接続するように各回路毎にそれぞれ複数設けられた第2配線とを備え、各回路のそれぞれの端子と各第1配線とを接続する全ての第2配線の全体の長さが、それぞれ、相互に一致するように設けられていることを特徴とする。

【0023】これらの半導体装置においても、前述の半導体装置と同様に、各第1配線のいずれを通じてデータを伝送するにしても、第1配線に対する各第2配線の影響に変動がなく、遅延時間が変動せずに済む。

【0024】各第1配線は、それぞれ二つの部分に分割されており、各第1配線における分割された一方の部分の配列順序が、他方の部分の配列順序と異なっているもよい。

【0025】また、本発明の半導体装置は、1チップの集積回路からなっているもよい。

【0026】

【発明の実施の形態】以下、この発明の実施の形態を添付図面を参照して説明する。図1は、この発明の半導体装置の一実施形態を示している。この実施形態の半導体装置は、第1回路11と、複数の第2回路12-1、12-2、…と、複数の第1配線13-1～13-4と、各第2回路12-1、12-2、…毎に、第2回路を各第1配線13に接続する各第2配線14と、第1回路11を各第1配線13に接続する各第2配線15を備えている。

【0027】各第1配線13-1～13-4は、1つの導電層をパターンニングすることによって形成されたものである。また、各第2配線14、15は、他の導電層をパターンニングすることによって形成されたものである。これらの導電層の間には、絶縁層が介在し、各第1配線と各2配線間の接続は、この絶縁層の各コンタクトホールを通じてなされている。

【0028】各第1配線13の方が各第2配線14、15よりも、単位長さ当たりの配線抵抗及び寄生容量が小さいものとする。

【0029】各第1配線13-1～13-4は、第1回路11の部位で、それらの配列順序が切り替えられており、第1回路11よりも左側の該各第1配線の配列順序と、第1回路11よりも右側の該各第1配線の配列順序が相互に異なる。これらの第1配線13-1～13-4毎に、第1配線の左側と右側を第2配線15を介して接続している。

【0030】例えば、第1配線13-1は、第1回路11よりも左側で、各第2回路12-1、12-2、12-3から最も離れ、第1回路11よりも右側で、各第2回路12-4、12-5、12-6に最も近づいている。また、第1配線13-4は、第1回路11よりも左側で、各第2回路12-1、12-2、12-3に最も

近づき、第1回路11よりも右側で、各第2回路12-4, 12-5, 12-6から最も離れている。あるいは、各第1配線13-2, 13-3は、第1回路11の左側と右側で、それぞれの順番が相互に入れ替わっている。

【0031】このため、第1回路11よりも左側では、各第2回路12-1, 12-2, 12-3の出力端子C1から導出されている各第2配線14が最も長くても、第1回路11よりも右側では、各第2回路12-4, 12-5, 12-6の出力端子C1から導出されている各第2配線14が最も短くなる。また、第1回路11よりも左側では、各第2回路12-1, 12-2, 12-3の出力端子C2から導出されている各第2配線14が最も長くても、第1回路11よりも右側では、各第2回路12-4, 12-5, 12-6の出力端子C2から導出されている各第2配線14が最も短くなる。あるいは、第1回路11の左側と右側では、各第2回路12-1, 12-2, 12-3の出力端子C3から導出されている各第2配線14の長さ、各第2回路12-4, 12-5, 12-6の出力端子C3から導出されている各第2配線14の長さが相互に入れ替わっている。

【0032】これによって、各第2回路12-1, 12

$$U_{A1c1} = mK2 \cdot R_{0m} \cdot m \cdot C_{0m} + LK1 \cdot R_{0L} \cdot (LK1 + L1 \cdot 3 + L4 \cdot 2) \cdot C_{0L} \quad \dots (7)$$

ただし、第1配線13の単位長さ当たりの抵抗を $R_{0m}$ 、第1配線13の単位長さ当たりの容量を $C_{0m}$ 、第2配線14, 15の単位長さ当たりの抵抗を $R_{0L}$ 、第2配線14, 15の単位長さ当たりの容量 $C_{0L}$ とする。また、第1回路11から導出されている第2配線15の部分15aは、配線経路K2に接続されている他の各第2回路12-2, ...の第2配線14の長さ $L1 \cdot 3 + L4 \cdot 2$ と比較すると、十分に短いので、この部分15aの容量を無視している。

【0035】さて、図5に示す従来の回路構成における最大の遅延時間 $T_{A1c4}$ を求める上式(6)と、この実施形態における遅延時間 $U_{A1c1}$ を求める式(7)を比較すると明らかな様に、式(6)における $(LK1 + L$

$$U_{A1c2} = mK3 \cdot R_{0m} \cdot m \cdot C_{0m} + LK1 \cdot R_{0L} \cdot (LK1 + L3 \cdot 2 + L2 \cdot 3) \cdot C_{0L} \quad \dots (8)$$

$$U_{A1c3} = mK4 \cdot R_{0m} \cdot m \cdot C_{0m} + LK1 \cdot R_{0L} \cdot (LK1 + L2 \cdot 2 + L3 \cdot 3) \cdot C_{0L} \quad \dots (9)$$

$$U_{A1c4} = mK5 \cdot R_{0m} \cdot m \cdot C_{0m} + LK1 \cdot R_{0L} \cdot (LK1 + L1 \cdot 2 + L4 \cdot 3) \cdot C_{0L} \quad \dots (10)$$

これらの式(8), (9), (10)についても、式(7)と同様に、 $L1, L2, L3 < L4$ のため、 $L3 \cdot 2 + L2 \cdot 3 < LK4 \cdot 5$ 、 $L2 \cdot 2 + L3 \cdot 3 < LK4 \cdot$

$-2, \dots$ の出力端子C1から導出されている各第2配線14の全体の長さ、各第2回路の出力端子C2から導出されている各第2配線14の全体の長さ、各第2回路の出力端子C3から導出されている各第2配線14の全体の長さ、各第2回路の出力端子C4から導出されている各第2配線14の全体の長さが相互に均一化される。

【0033】ここで、例えば図2に示す様に第2回路12-1の出力端子C1から第1回路11に至る配線経路K2を形成し、配線経路K2に含まれる第1配線13の部分の長さを $mK2$ とし、配線経路K2に含まれる第2配線14, 15の長さを $LK1$  ( $=$ 第2配線14の長さ $L4$  + 第2配線15の長さ $L5$ ) とし、この配線経路K2に接続されている他の各第2回路12-2, ...の第2配線14の長さを $L1 \cdot 3 + L4 \cdot 2$ とすると、配線経路K2に含まれる第1配線13の部分による遅延時間は、 $mK2 \cdot R_{0m} \cdot m \cdot C_{0m}$ となり、また各第2配線14, 15による遅延時間は、 $LK1 \cdot R_{0L} \cdot (LK1 + L1 \cdot 3 + L4 \cdot 2) \cdot C_{0L}$ となる。したがって、この配線経路K2の全体の遅延時間 $U_{A1c1}$ は、次式(7)によって表される。

【0034】

$K4 \cdot 5$ の項と、式(7)における $(LK1 + L1 \cdot 3 + L4 \cdot 2)$ の項が異なる。つまり、配線経路に接続されている他の各第2回路の第2配線の長さが異なる。ここでは、 $L1 < L4$ のため、 $L1 \cdot 3 + L4 \cdot 2 < LK4 \cdot 5$ である。また、 $mK1 \approx mK2$ であるから、式(6)における $mK1 \cdot R_{0m} \cdot m \cdot C_{0m}$ の項と、式(7)における $mK2 \cdot R_{0m} \cdot m \cdot C_{0m}$ の項の違いを無視することができる。従って、 $U_{A1c1} < T_{A1c4}$ となる。

【0036】同様に、第2回路12-1の各出力端子C2, C3, C4から第1回路11に至る各配線経路K3, K4, K5を形成したときには、それぞれの遅延時間 $U_{A1c2}$ ,  $U_{A1c3}$ ,  $U_{A1c4}$ は、次式(8)、(9)及び(10)によって表される。

$5, L1 \cdot 2 + L4 \cdot 3 < LK4 \cdot 5$ である。また、各配線経路K3, K4, K5の長さは、相互に略等しく、 $mK1 \approx mK2 \approx mK3 \approx mK4 \approx mK5$ である。したがって、 $U$

$UA1c2 < T A1c4$ ,  $UA1c3 < T A1c4$ ,  $UA1c4 < T A1c4$ , となる。

【0037】この様に各遅延時間 $UA1c1$ ,  $UA1c2$ ,  $UA1c3$ ,  $UA1c4$ のいずれもが図5に示す従来の回路構成における最大の遅延時間 $T A1c4$ よりも小さいので、回路全体から見れば、遅延時間を短縮することができ、動作速度を向上させることができる。

【0038】また、先に述べた様に、各第2回路の出力端子C1から導出されている各第2配線14の全体の長さ、各出力端子C2から導出されている各第2配線14の全体の長さ、各出力端子C3から導出されている各第2配線14の全体の長さ、各出力端子C4から導出されている各第2配線14の全体の長さが相互に均一化されている。このことは、上記各式(7), (8),

(9), (10)における $L1 \cdot 3 + L4 \cdot 2$ ,  $L3 \cdot 2 + L2 \cdot 3$ ,  $L2 \cdot 2 + L3 \cdot 3$ ,  $L1 \cdot 2 + L4 \cdot 3$ の相互の差が小さいことを示唆している。このため、第1回路11と各第2回路12間に如何なる配線経路を形成しても、各配線経路間での遅延時間のバラツキが小さくなり、回路動作が安定化する。

【0039】例えば、この実施形態における各遅延時間 $UA1c1$ ,  $UA1c2$ ,  $UA1c3$ ,  $UA1c4$ と、図5に示す従来の回路構成における各遅延時間 $T A1c1$ ,  $T A1c2$ ,  $T A1c3$ ,  $T A1c4$ の比は、次の通りとなり、遅延時間の改善を果たしている。

【0040】 $UA1c1 / T A1c1 = 0.85$

$UA1c2 / T A1c2 = 0.80$

$UA1c3 / T A1c3 = 0.82$

$UA1c4 / T A1c4 = 0.84$

ただし、第1配線13の単位長さ当たりの抵抗 $R0m$ を $0.1 \Omega$ 、第1配線13の単位長さ当たりの容量 $C0m$ を $0.2 fF$ 、第2配線14, 15の単位長さ当たりの抵抗 $R0L$ を $4 \Omega$ 、第2配線14, 15の単位長さ当たりの容量 $C0L$ を $0.7 fF$ とする。また、 $mK1 = 50 \mu m$ 、 $mK2 = 42 \mu m$ 、 $mK3 = 55 \mu m$ 、 $mK4 = 58 \mu m$ 、 $mK5 = 50 \mu m$ 、 $m = 130 \mu m$ 、 $LK1 = 35 \mu m$ 、 $L1 = 7 \mu m$ 、 $L2 = 10 \mu m$ 、 $L3 = 13 \mu m$ 、 $L4 = 16 \mu m$ とする。

【0041】また、同じ条件で、この実施形態における各遅延時間 $UA1c1$ ,  $UA1c2$ ,  $UA1c3$ ,  $UA1c4$ の比と、図5に示す従来の回路構成における各遅延時間 $T A1c1$ ,  $T A1c2$ ,  $T A1c3$ ,  $T A1c4$ の比を求めると、次の通りとなり、遅延時間のバラツキが小さくなっていることが判る。

【0042】 $UA1c1 : UA1c2 : UA1c3 : UA1c4 = 1 : 0.94 : 0.97 : 1$

$T A1c1 : T A1c2 : T A1c3 : T A1c4 = 0.61 : 0.74 : 0.87 : 1$

なお、この発明は、上記実施形態に限定されるものでなく、多様な変形が可能である。例えば、図1に示す様な回路構成だけでなく、更に複雑な回路構成においても、この発明を適用することができ、回路構成の複雑化に伴い、配線の抵抗や寄生容量が増加する程に、この発明の効果が大きくなる。例えば、特開平8-321589号公報に開示されている様に、ロコス酸化膜を形成せずに、各素子の分離を図る場合、製造コストを低減することができても、寄生容量が増加するという不都合を伴うが、この発明を適用すれば、この寄生容量の増加を改善することができる。

【0043】また、この実施形態では、各第1配線13の長さを略等しくしているが、これら第1配線13については、単位長さ当たりの配線抵抗及び寄生容量が小さいので、それぞれの長さに多少のバラツキがあっても構わない。

【0044】更に、半導体記憶装置の場合は、LSIのチップ面積の縮小のために、列セクター等において、多くの共通回路を同一の信号線に接続しているので、この発明を適用すると、配線容量の低減、並びに遅延時間の均一化と言う点で、大きな効果を期待することができる。

【0045】

【発明の効果】以上説明した様に、この発明によれば、各第1配線間で、第1配線に接続されている各第2配線の全体の長さが相互に略一致しているので、各第1配線のいずれを通じてデータを伝送するにしても、第1配線に対する各第2配線の影響、つまり各第2配線の寄生容量による影響に変動がなく、遅延時間が変動せずに済む。これによって、回路動作の高速化、信号遅延の均一化、回路動作の安定化を図ることができる。

【図面の簡単な説明】

【図1】この発明の半導体装置の一実施形態を示すブロック図

【図2】図1の装置の作用を説明するために用いた図

【図3】半導体装置における回路構成を例示するブロック図

【図4】図3の回路における各信号を示すタイミングチャート

【図5】従来の半導体装置の回路パターンを示すブロック図

【図6】図5の半導体装置の作用を説明するために用いた図

【符号の説明】

11 第1回路

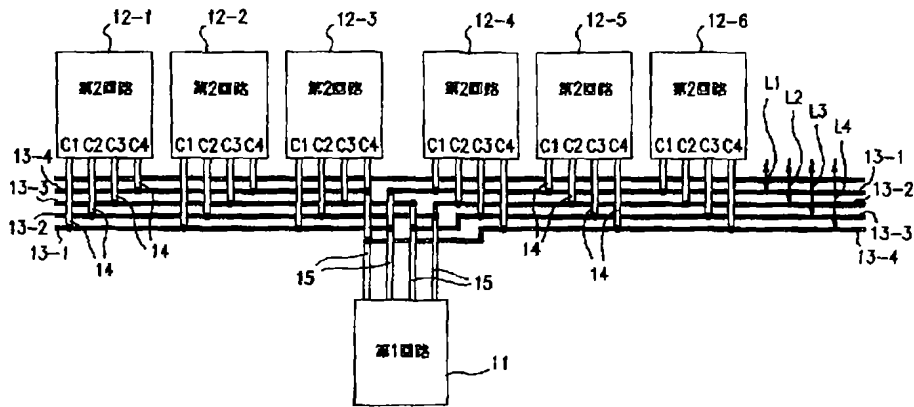
12-1~12-6 第2回路

13-1~13-4 第1配線

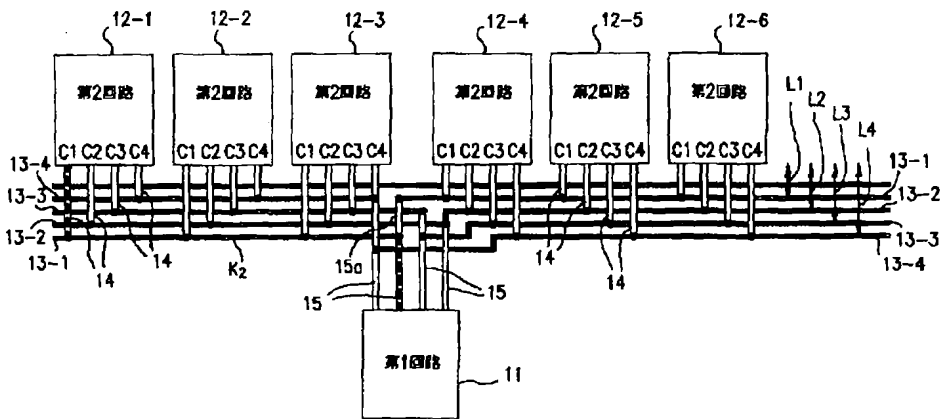
14, 15 第2配線



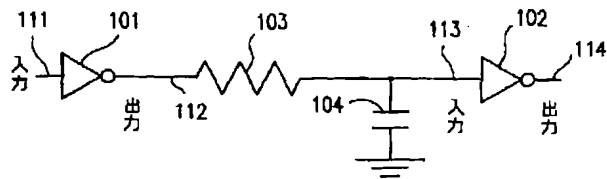
【图 1】



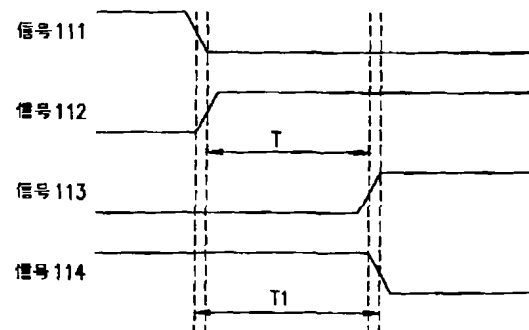
【图 2】



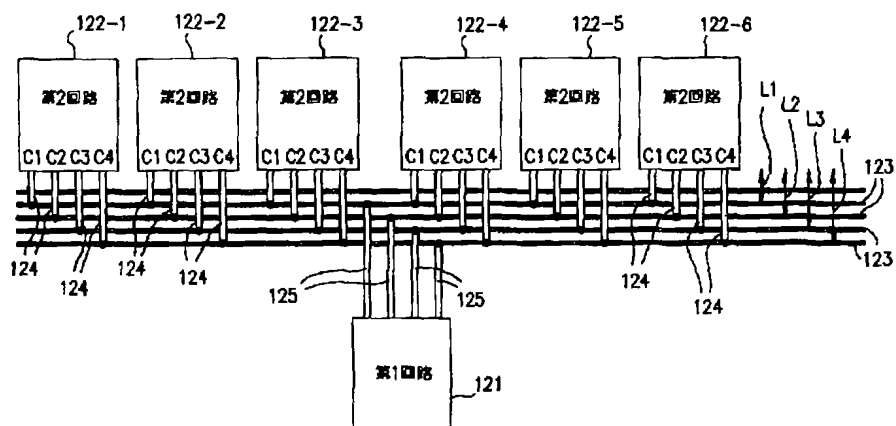
【图 3】



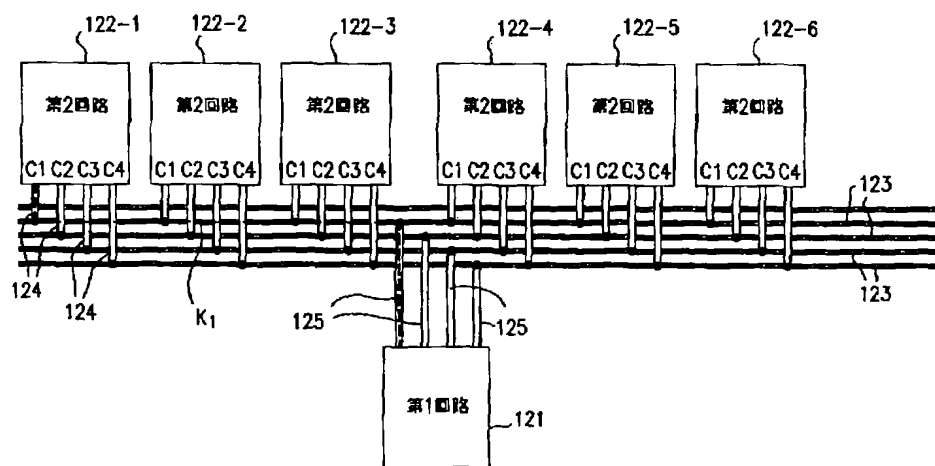
【图 4】



【図 5】



【図 6】



フロントページの続き

(58)調査した分野(Int. Cl.<sup>7</sup>, DB名)

H01L 21/822  
H01L 21/3205  
H01L 21/82  
H01L 27/04